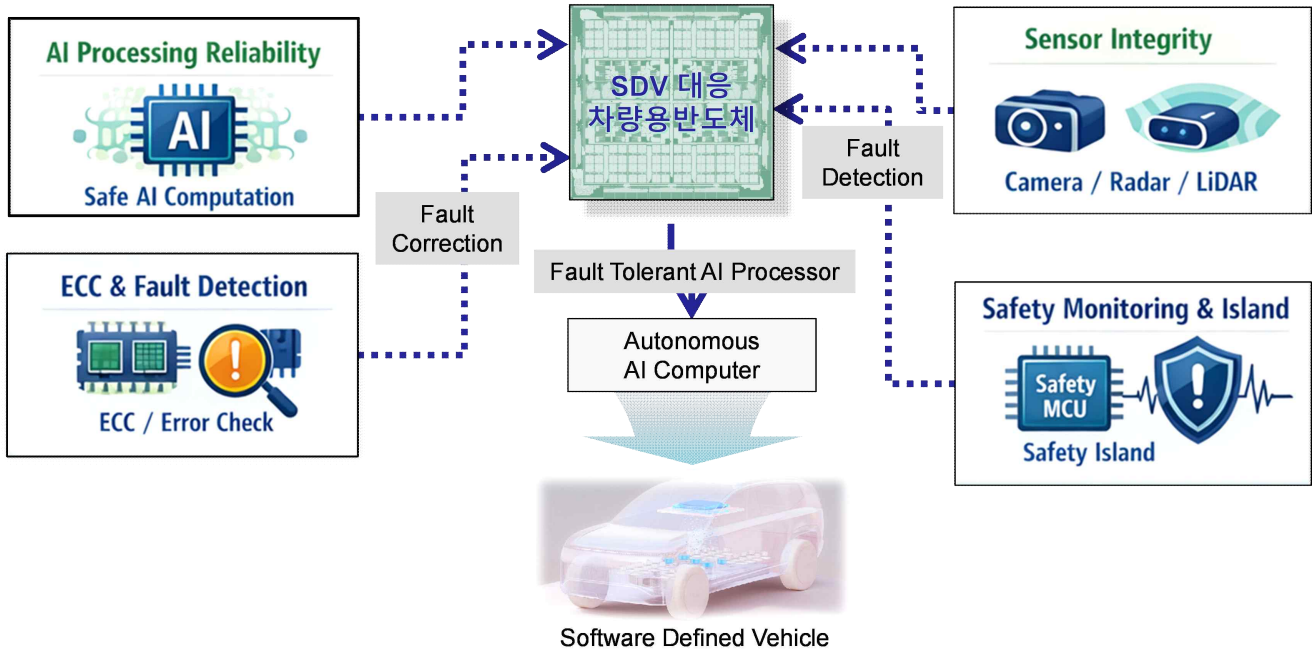


관리번호	2026-반도체·디스플레이- 1-품목공모-20		RFP 유형코드	목적·내용	성과물 특성	지원유형
				R	1	1
국가전략연구 기획평가전문분야	PM분야	반도체· 디스플레이	RB분야	원천연구	시작품·시제품 제작 및 검증(TRL 5-6)	일반연구개발
사업명	나노·소재기술개발 - SDV대응가혹환경극복자동차반도체핵심IP원천기술개발					
RFP명	SDV를 위한 고유연성 기능안전 프로세서 IP 개발					
	(TRL : [시작] 4단계 ~ [종료] 6단계)					
지원 정보	지원기간	2026.07 ~ 2030.12	정부지원금	10,625백만원		
	1단계 (1차년도)	2026.07 ~ 2028.12 (2026.07 ~ 2026.12)	1단계 (1차년도)	6,875백만원 (625백만원)		
	2단계	2029.01 ~ 2030.12	2단계	3,750백만원		
	주관기관유형	<input checked="" type="checkbox"/> 제한없음 <input type="checkbox"/> 대학/출연(연)/국공립연/특정연 <input type="checkbox"/> 기업 <input type="checkbox"/> 기타 비영리법인(병원 등) <input type="checkbox"/> 외국법인				
	주관기관 외 필수참여기관	<input type="checkbox"/> 제한없음 <input checked="" type="checkbox"/> 기업 <input type="checkbox"/> 기타 비영리법인(병원 등) <input type="checkbox"/> 외국법인				
키워드	한글	SDV, 기능안전 프로세서, 기능안전설계				
	영문	SDV, Functional Safety Processor, Functional Safety Design				

<b>1. 추진배경</b>	
<p>○ 세부 추진배경</p> <ul style="list-style-type: none"> <li>- 국내 개발 CPU의 부재로 대부분 영국 ARM사의 CPU IP를 사용하여 MCU/MPU를 개발하고 있으며, 동일 ARM CPU 사용으로 해외 대비 경쟁력 차별화가 매우 어려우며, 프로세서 아키텍처의 수정 권한이 없어 최적화·저전력화에 제약이 있음</li> <li>- 사용 분야에의 최적화·저전력화가 매우 우수한 RISC-V의 경우 글로벌 기업이 자체 사용 목적으로 개발 사례가 있으며, 모바일용 RISC-V와 같이 open-source 화와 IP 신뢰성이 확보되면 국내 업체가 적극적으로 사용할 수 있음</li> <li>- 차량용 반도체의 경우, 과거 차량은 기능별로 분산된 다수의 ECU가 각각 독립적으로 동작하는 구조였으나, Software Defined Vehicle(SDV)에서는 중앙집중형 고성능 컴퓨팅(HPC)과 존(Zone) 기반 아키텍처로 통합되고 있으며, 하나의 SoC가 제동, 조향, ADAS, 차체 제어와 같은 안전 관련 기능은 물론, 인포테인먼트와 커넥티비티 기능까지 처리하는 구조로 변화되고 있어서. 높은 유용성과 저비용이 가능한 RISC-V 프로세서가 핵심 요소기술로 부상되고 있음</li> <li>- 또한 차량용 반도체는 단일 칩에 다수의 기능이 집적되면서, 특정 기능의 오류가 시스템 전반의 위험으로 확산 될 우려가 높아졌고, 이에 따라 하드웨어 차원의 기능안전 확보가 필수 요소가 되고 있음</li> <li>- 특히 SDV 환경에서는 ASIL-D 수준의 고위험 안전 기능과 QM(비안전) 기능이 동일한 SoC상에서 함께 실행되는 혼합 중요도(Mixed-Criticality) 구조가 일반화되고 있고, 기능 간 간섭을 방지하는 하드웨어 격리 구조, 오류를 실시간으로 감지·진단하는 메커니즘, 이상 발생 시 안전 상태로 전환하는 제어 체계가 반드시 필요함</li> <li>- 단일 칩 내에서 다양한 기능 구현을 위한 기능안전 프로세서 IP는 반드시 필요하며, 이는 ECC 및 패리티 보호, 메모리 보호 유닛, Fault Containment 설계, 자가진단(BIST) 기능 등을 이용한 Safety Island 형태로 구현되어 시스템 전반을 모니터링하고 오류 발생 시 독립적으로 대응할 수 있는 역할을 수행해야 함</li> </ul>	

- 더불어 ISO 26262 대응 측면에서도 기능안전 프로세서 IP의 중요성은 더욱 커지고 있다. 사전 검증된 FMEDA 자료와 Safety Manual을 제공하는 ASIL 인증 IP를 제공함으로써 SoC 개발사의 인증 부담과 개발 기간을 크게 단축할 수 있으며, 미세공정 기반의 고집적 SoC에서 소프트 에러와 신뢰성 이슈가 증가하는 상황 역시 기능안전 IP는 더욱 필요로 하며, 결국 SDV 시대의 차량용 반도체는 단순한 연산 성능 경쟁을 넘어, 고성능과 안전성을 동시에 만족해야 하는 기능안전 프로세서 IP가 핵심 기반 기술이 되어 있음

### ISO26262 Functional Safety



<SDV를 위한 기능안전 프로세서 설계 개념도 예시>

#### ○ 기획의 주안점

- (높은 유연성 및 저비용) RISC-V는 모듈형 구조를 채택하여, 기본 명령어 외에 전용 가속기나 특정 애플리케이션(ADAS, Infotainment)에 필요한 커스텀 명령어를 추가할 수 있는 확장 가능한 명령어 셋으로 구성 가능해야 하며, 파워트레인, 조향, 제동, 인포테인먼트 등 차량 내 특정 도메인에 최적화된 프로세서 코어 구성이 가능하여, 일반 범용 프로세서 대비 높은 PPA(Power-Performance-Area)를 제공할 수 있어야 함
- (차량 기능안전성) 차량용 RISC-V는 안전 필수 애플리케이션을 위해 ISO26262 기능 안전 인증을 준수하도록 설계되고 있으며, 오류 감지 및 수정 기능을 포함

## 2. 과제목표

- 최종 목표 : SDV를 위한 저비용 기능안전 프로세서 IP 및 SW 개발, 기능안전 설계 및 신뢰성 검증
- 단계별 목표

<b>1단계</b> (‘26~’28)	<ul style="list-style-type: none"> <li>○ SDV 차량을 위한 저비용 기능안전 프로세서 IP 및 SW 설계 및 기능안전 설계 검증</li> <li>- 고성능 기능안전 Instruction을 포함하는 RISC-V 기반 프로세서 설계 및 SW 환경 구축</li> <li>- Transistor/Gate/Block-level 등에서의 BIST 및 오류정정부호 삽입에 따른 기능안전 회로 설계</li> <li>- Programmable 오류 검출 및 복구를 위한 기능안전 회로 설계</li> <li>- ISO26262 기능안전 규격을 고려한 Fault Injection을 통한 기능안전성 분석 방안 설계</li> <li>- 기능안전 기술을 적용한 SW(컴파일러, 디버거) 및 오류 복구 방안 개발</li> <li>- NPU 최적 연동을 위한 커스텀 ISA 개발 및 RISC-V/경량 NPU 통합 설계</li> </ul>
-------------------------	---

	<ul style="list-style-type: none"> <li>○ 성과 목표 <ul style="list-style-type: none"> <li>- 1.5GHz 동작하는 오류 검출 및 복구 기능이 있는 저비용인 RISC-V 기반 프로세서 설계</li> <li>- 오류 검출 및 복구 기능이 있는 저비용인 RISC-V 기반 프로세서 SW</li> <li>- 오류 검출 및 복구 기능 설계 비용 증가량 제시</li> <li>- JCR 상위 50% 이상 논문 게재 9건, 특허 국내 출원 6건, 등록 2건, 국외 출원 3건, 등록 1건</li> </ul> </li> </ul>
2단계 (‘29~’30)	<ul style="list-style-type: none"> <li>○ SDV 차량을 위한 저비용 기능안전 프로세서 IP 및 SW 고도화 및 시작품 개발을 통한 기능안전 설계 검증 <ul style="list-style-type: none"> <li>- 고성능 RISC-V 기반 프로세서 제작</li> <li>- Transistor/Gate/Block-level 등에서의 BIST 및 오류정정보호 삽입을 통한 기능안전 회로 제작</li> <li>- Programmable 오류 검출 및 복구를 통한 기능 안전 회로 제작</li> <li>- ISO26262 기능안전 규격을 고려한 Fault Injection, Detection, Recovery 회로 및 경량 NPU 통합 시제품 제작 및 평가</li> <li>- 기능안전에 필요한 Work Product 개발을 통한 인증 대응성 확보</li> <li>- 프로세서 기능안전을 고려한 SW(컴파일러, IDE, 등) 개발 및 DevOps, Git 배포 등을 통한 Open Source화</li> </ul> </li> <li>○ 성과 목표 <ul style="list-style-type: none"> <li>- 1.5GHz 동작하는 오류 검출 및 복구 기능이 있는 저비용인 RISC-V 기반 프로세서 구현</li> <li>- 오류 검출 및 복구 기능이 있는 저비용인 RISC-V 기반 프로세서 SW 고도화</li> <li>- 오류 검출 및 복구를 통한 기능안전 입증</li> <li>- JCR 상위 50% 이상 논문 게재 6건, 특허 국내 출원 4건, 등록 6건, 국외 출원 2건, 등록 3건</li> </ul> </li> </ul>

### 3. 성과지표

		○ 성과지표						
항목		1단계	2단계 (최종목표)	성과수준			비고	
				국내 최고수준	세계 최고수준	기타		
필수	성능 지표	ISO26262 기능안전	ASIL-B 이상 (설계검증)	ASIL-B 이상				ISO26262 ASIL-B에 대응할 수 있는 Work Product 작성 (SPMR, SM 등)
		동작주파수	1.5GHz (설계검증)	1.5GHz (칩검증)	-	1.2GHz @28nm (미국, SiFive)		
		오류 검출 및 복구 기능	설계	구현				
		신뢰성	-	3종 이상				AEC-Q100에 준하는 신뢰성 분석결과 제시
	논문	JCR 상위 50% 이상 논문 게재 수	9건	6건	-	-	-	
	특허	국내 출원	6건	4건	-	-	-	
		국내 등록	2건	6건	-	-	-	
		국제 출원	3건	2건	-	-	-	
국제 등록		1건	3건	-	-	-		
자율	기능안전 설계 Overhead 감소						Gate Count 증가량	
	연산성능						CoreMark/MHz	

4. 특기사항																								
기본 특성분류	주요 항목별 해당여부	국가전략기술	<input type="checkbox"/> Y	<input checked="" type="checkbox"/> N																				
		혁신도전형 R&D	<input type="checkbox"/> Y	<input checked="" type="checkbox"/> N																				
		특허로 R&D(舊 IP-R&D)	<input type="checkbox"/> Y	<input checked="" type="checkbox"/> N																				
		경쟁형 R&D	<input type="checkbox"/> Y	<input checked="" type="checkbox"/> N																				
		보안과제	<input type="checkbox"/> Y	<input checked="" type="checkbox"/> N																				
		기술료 징수	<input checked="" type="checkbox"/> Y	<input type="checkbox"/> N																				
		3책5공 적용	<input checked="" type="checkbox"/> Y	<input type="checkbox"/> N																				
		국제공동연구 의무	<input type="checkbox"/> Y	<input checked="" type="checkbox"/> N																				
		지자체 예산매칭 의무	<input type="checkbox"/> Y	<input checked="" type="checkbox"/> N																				
	ESG	<input type="checkbox"/> E(환경) <input type="checkbox"/> S(사회) <input type="checkbox"/> G(지배구조) <input checked="" type="checkbox"/> 해당없음																						
<ul style="list-style-type: none"> <li>○ 제시한 연구목표 달성을 증빙하는 성능목표 수치 및 항목 구체적 검증방안* 제시 필수 (단계/최종 평가시 제출)             <ul style="list-style-type: none"> <li>* 1) (제품 등 평가대상이 정해진 표준이나 기술규정이 있는 경우) 인증기관에서 발행한 인증서 확보</li> <li>2) (제품 등 평가대상이 정해진 표준이나 기술규정이 없는 경우) 참여기관을 제외한 평가기관(시험, 검사, 교정 등)에서 발행한 공인시험성적서(또는 상응하는 문서) 확보</li> <li>3) (위 1, 2가 불가능하여 자체평가서 제출을 제안할 경우) 구체적인 자체평가 실시 사유, 자체평가 항목/목표수치, 시험방법 등을 연구개발계획서에 제시하고, 자체평가 진행 시 위 1, 2의 인증기관 또는 평가기관 소속 외부인원 입회 및 확인서 확보 필수</li> </ul> </li> <li>○ 총 연구기간 동안 기업 참여 필수(주관 또는 공동연구개발기관에 한함)</li> <li>○ 연차 점검(필요 시) 및 단계평가를 통해 연차별·단계별 추진 현황 및 성과를 점검받고, 점검·평가추진위원회의 의견에 따라 연구개발과제의 목표 및 내용, 과제 구성, 연구비, 계속 지원 여부 등 조정 가능</li> </ul>																								
5. 연구개발기간 및 연구개발비																								
<ul style="list-style-type: none"> <li>○ 연구개발기간 : '26.7. ~ '30.12.(총 54개월 내외, (3+2)30개월+24개월)</li> <li>○ 정부지원연구개발비 : 총 10,625백만원 내외('26년 625백만원)</li> </ul>																								
<table border="1"> <thead> <tr> <th colspan="3">1단계('26.7. ~ '28.12. / 30개월)</th> <th colspan="2">2단계('29.1. ~ '30.12. / 24개월)</th> </tr> <tr> <th>1차년도</th> <th>2차년도</th> <th>3차년도</th> <th>4차년도</th> <th>5차년도</th> </tr> </thead> <tbody> <tr> <td>'26.7.~'26.12.</td> <td>'27.1.~'27.12.</td> <td>'28.1.~'28.12.</td> <td>'29.1.~'29.12.</td> <td>'30.1.~'30.12.</td> </tr> <tr> <td>625백만원</td> <td>3,000백만원</td> <td>3,250백만원</td> <td>2,500백만원</td> <td>1,250백만원</td> </tr> </tbody> </table>					1단계('26.7. ~ '28.12. / 30개월)			2단계('29.1. ~ '30.12. / 24개월)		1차년도	2차년도	3차년도	4차년도	5차년도	'26.7.~'26.12.	'27.1.~'27.12.	'28.1.~'28.12.	'29.1.~'29.12.	'30.1.~'30.12.	625백만원	3,000백만원	3,250백만원	2,500백만원	1,250백만원
1단계('26.7. ~ '28.12. / 30개월)			2단계('29.1. ~ '30.12. / 24개월)																					
1차년도	2차년도	3차년도	4차년도	5차년도																				
'26.7.~'26.12.	'27.1.~'27.12.	'28.1.~'28.12.	'29.1.~'29.12.	'30.1.~'30.12.																				
625백만원	3,000백만원	3,250백만원	2,500백만원	1,250백만원																				
<ul style="list-style-type: none"> <li>※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능</li> <li>○ 선정 과제 수 : 1개 연구개발과제</li> </ul>																								